

Japanese Publication for Utility Model

No. 6684/1990 (Jitsukouhei 2-6684)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 3 of the present application.

B. Translation of the Relevant Passages of the Document

[DETAILED DESCRIPTION OF THE PRESENT DEVICE]

(Technical Field)

The present device relates to a ternary logic circuit.

(Conventional Art)

Figure 2 is a circuit diagram illustrating one example of a conventional ternary logic circuit. The ternary logic circuit includes: a first differential amplifier 7 constituted by first, second, third, and fourth transistors (hereinafter referred to as Q_1 , Q_2 , Q_3 , and Q_4 , respectively) 11, 12, 13, and 14 and a constant current source 17; and a second differential amplifier 8 constituted by fifth, sixth, seventh, and eighth transistors (hereinafter referred to as Q_5 , Q_6 , Q_7 , and Q_8 , respectively) 21, 22, 23, and 24 and a constant current source 18, wherein reference DC voltage sources E_1 25 and E_2 15 which are differently arranged are provided to bases of the Q_1 11 and the Q_8 24, respectively, and bases of the Q_4 14 and the Q_5 21 are

connected to an input terminal 3 to change a DC potential a of the input terminal 3, whereby three outputs b, c, and d are supplied from the collectors of the Q_2 12, Q_6 22, and Q_3 13, to output terminals 4, 5, and 6, respectively.

However, this ternary logic circuit requires the constant current sources 17 and 27, thus failing to satisfy the demand for reduction in current consumption of a circuit.

[OBJECT OF THE DEVICE]

An object of the present device is to provide a ternary logic circuit in which its circuit configuration is changed to solve the above problem and the number of constant current sources is reduced to one.

[CONSTITUTION OF THE DEVICE]

The present device attains a ternary logic circuit including first and second differential amplifiers each being made up of the same conductivity type transistors, the first differential amplifier including a first transistor, a second transistor, a third transistor, a fourth transistor, and a first reference DC voltage source, in which an emitter of the first transistor whose base is input is connected to a base of the second transistor, a base of the third transistor is connected to an emitter of the fourth transistor, a base of the fourth transistor is connected to the first reference DC voltage source, and emitters of the

second and third transistors are commonly connected to a constant current source, the second differential amplifier including a fifth transistor, a sixth transistor, a seventh transistor, an eighth transistor, and a second reference DC voltage source, in which an emitter of the fifth transistor whose base is the input is connected to a base of the sixth transistor, a base of the seventh transistor is connected to an emitter of the eighth transistor, a base of the eighth transistor is connected to the second reference DC voltage source, and an emitter of the sixth transistor is connected to an emitter of the seventh transistor, wherein the emitter of the seventh transistor is connected to a collector of the second transistor, and the respective collectors of the first, fourth, fifth, and eighth transistors are connected to the ground, whereby the collectors of the third, sixth, and seventh transistors are the first, second, and third outputs, respectively.

⑫ 実用新案公報(Y2) 平2-6684

⑬ Int. Cl.⁵

H 03 K 19/20

識別記号

1 0 1

庁内整理番号

7328-5J

⑭ 公告 平成2年(1990)2月19日

(全3頁)

⑮ 考案の名称 3値論理回路

⑯ 実 願 昭59-109934

⑰ 公 開 昭61-26331

⑱ 出 願 昭59(1984)7月20日

⑲ 昭61(1986)2月17日

⑳ 考 案 者 金 松 敏 裕 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

㉑ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉒ 代 理 人 弁理士 内 原 晋
審 査 官 近 野 恵 一

【実用新案登録請求の範囲】

同一導電型トランジスタで構成される第1および第2の差動増幅器を備え、前記第1の差動増幅器はベースを入力とする第1のトランジスタのエミッタを第2のトランジスタのベースに接続し、第3のトランジスタのベースを第4のトランジスタのエミッタに接続し、該第4のトランジスタのベースを第1の基準直流電圧源に接続し、前記第2、第3のトランジスタのエミッタを定電流源に共通に接続してなり、前記第2の差動増幅器はベースを前記入力とする第5のトランジスタのエミッタを第6のトランジスタのベースに接続し、第7のトランジスタのベースを第8のトランジスタのエミッタに接続し、該第8のトランジスタのベースに第2の基準直流電圧源を接続し、前記第6のトランジスタのエミッタを前記第7のトランジスタのエミッタに接続してなり、且つ前記第7のトランジスタのエミッタを前記第2のトランジスタのコレクタに接続し、前記第1、第4、第5、第8のトランジスタの各コレクタを基準電位に接続し、前記第3、第6、第7のトランジスタのコレクタをそれぞれ第1、第2、第3の出力とすることを特徴とする3値論理回路。

【考案の詳細な説明】

(技術分野)

本考案は3値論理回路に関する。

(従来技術)

第2図は従来3値論理回路の一例を示す回路図である。同図において、3値論理回路は第1、第2、第3、第4のトランジスタ(以下 Q_1 , Q_2 , Q_3 , Q_4) 11, 12, 13, 14と定電流源17とで構成される第1の差動増幅器7と、第5、第6、第7、第8のトランジスタ(以下 Q_5 , Q_6 , Q_7 , Q_8) 21, 22, 23, 24と定電流源27とで構成される第2の差動増幅器8とを備え、前記 Q_1 11のベース、 Q_8 24のベースにそれぞれ異なる基準直流電圧源 E_1 25、 E_2 15を設け、 Q_4 14のベースと Q_5 21のベースを入力端3に接続してその直流電位 a を変化させることにより、3つの出力 b , c , d がそれぞれ Q_2 12、 Q_6 22、 Q_3 13の各コレクタから出力端4, 5, 6に出力される。

しかしながら、本例の3値論理回路では定電流源17, 27を必要とするので、回路の低消費電流化の要望を満足できないという欠点があった。

(考案の目的)

本考案の目的は、回路構成を変更することにより上記欠点を解決し、定電流源を1個に減少させた3値論理回路を提供することにある。

(考案の構成)

本考案によれば、同一導電型トランジスタで構成される第1および第2の差動増幅器を備え、前

(3)

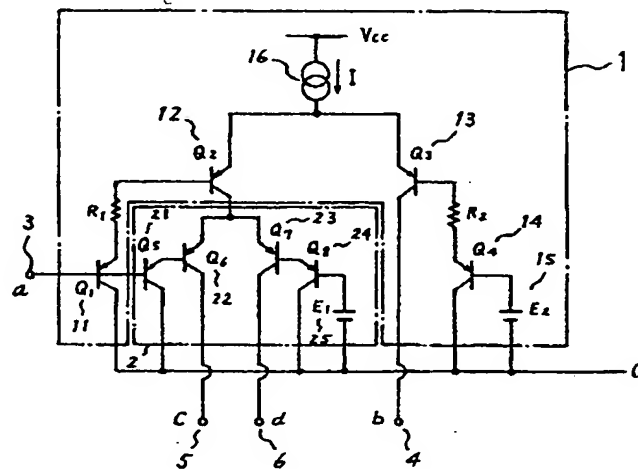
【図面の簡単な説明】

第1図は本考案の3値論理回路の一実施例を示す回路図および第2図は従来の3値論理回路の一例を示す回路図である。

図において、1, 2……差動増幅器、3……入力端、4, 5, 6……出力端、11, ~14, 2

1, ~24……トランジスタ、 $Q_1, \sim Q_4, Q_5, \sim Q_8$, 15, 25……基準直流電圧源、16……定電流源、a, E_1, E_2 ……電位、b, c, d……出力、G……基準電位、I……定電流、 R_1, R_2 ……抵抗、 V_{CC} ……電源電圧。

第1図



第2図

